折叠共源共栅设计

181180148 徐子然

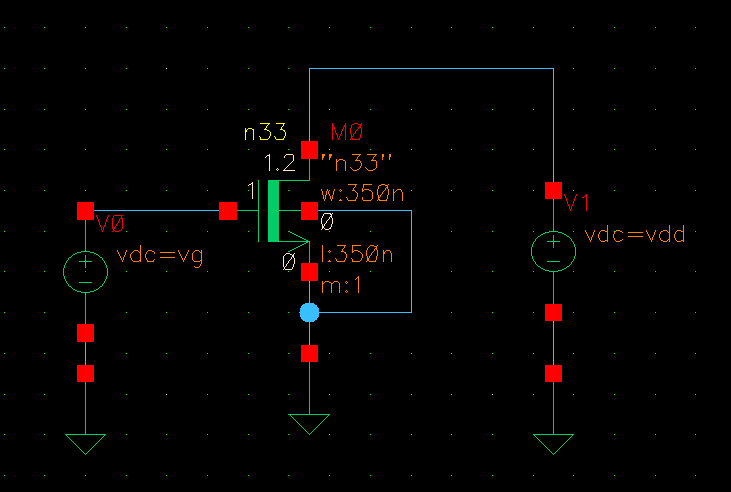
# 一. 基本要求及参数

## 实验设计要求

VDD=3.3V GB=3MHz SR>5V/us ICMR=1.1V to 2.5V 大于 50°phase margin 0.6V<Vout range <2.7V Pdiss<=5mW Av>3000 CL=10pF

## MOS 工艺参数

1. NMOS 管

将 n33 MOS 管按如图方式接入电路中，设置 vg 和 vdd 为分析中的变量，进行直流分析，再使用 ADE 中的 Results-Print-Model Parameters 查看 NMOS 管的参数。

NMOS 管仿真电路图



NMOS 参数

从结果中可以读出，等效栅氧厚度 = 3nm，电子迁移率 = 35 ∗ 10−32/ · ,阈值电压ℎ = 695,输出电导 = 615.733。

经过计算可得：

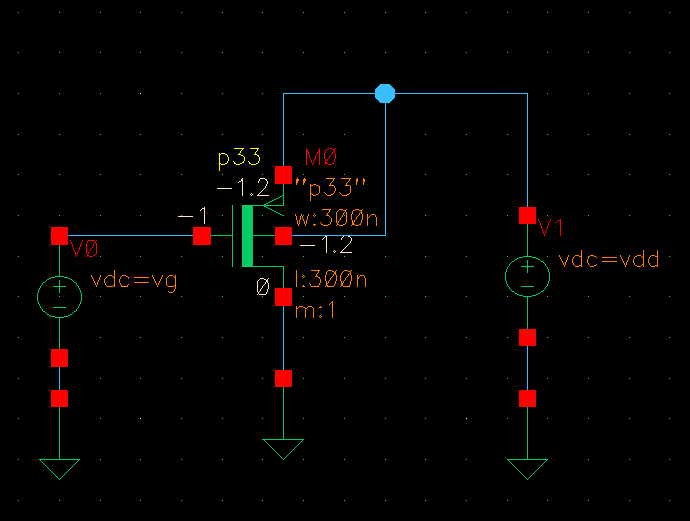
′ =

≈ 402.86/2

其中， = 2

= 3.9 ∗ 8.85 ∗ 10−14/

1. PMOS 管

将 p33 MOS 管按如图方式接入电路中，设置 vg 和 vdd 为分析中的变量，进行直流分析，再使用 ADE 中的 Results-Print-Model Parameters 查看 PMOS 管的参数。

PMOS 仿真电路图





PMOS 参数

从结果中可以读出，等效栅氧厚度 = 3nm，电子迁移率

= 9.25 ∗ 10−32 · ,阈值电

压ℎ = −672,输出电导 = 769.881。

经过计算可得：

′ =

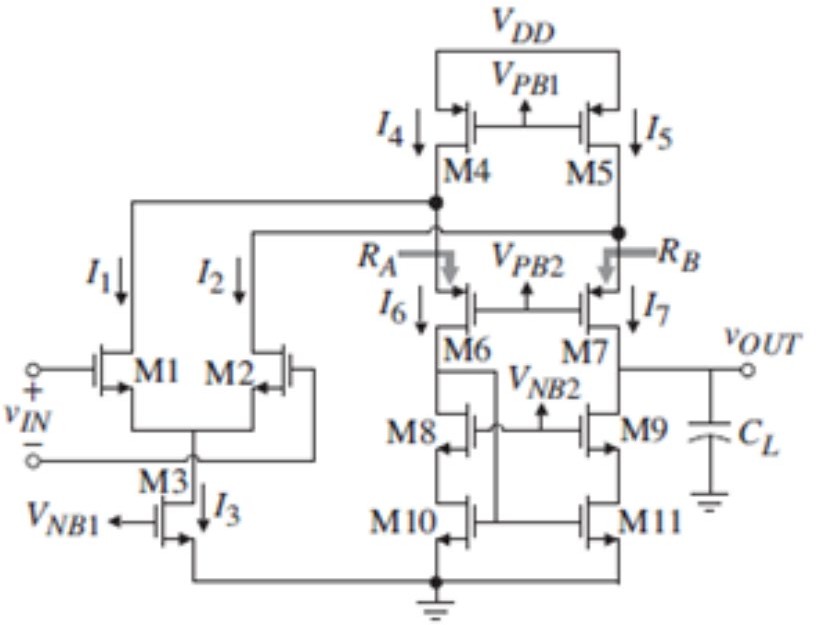
P

≈ 106.47/2

其中， = 2

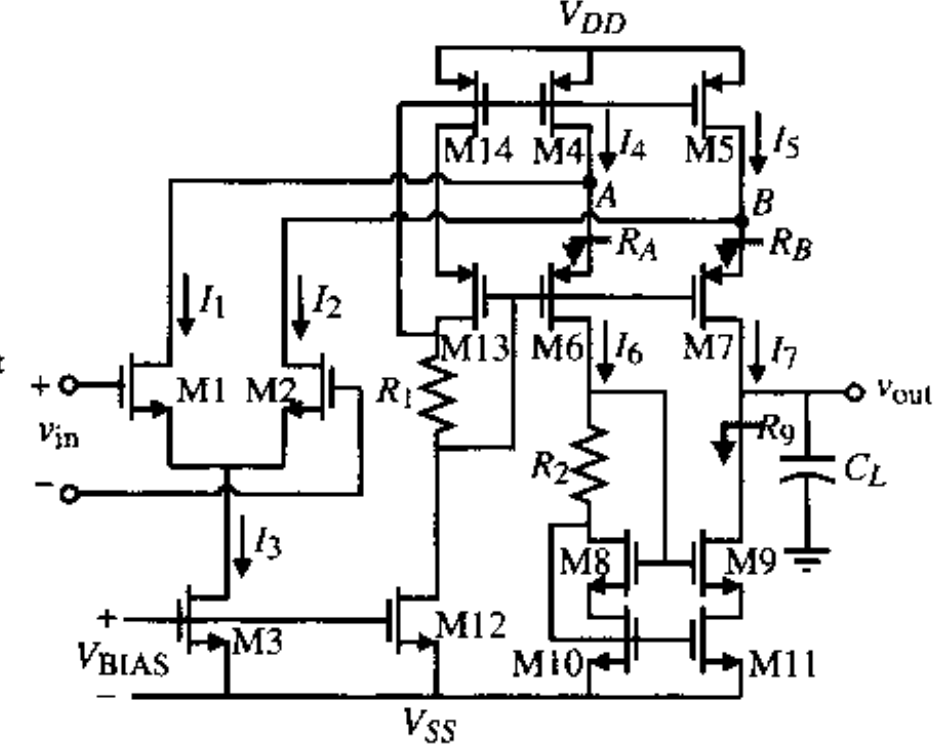
= 3.9 ∗ 8.85 ∗ 10−14/

# 二. 放大器理论计算



**放大器结构图**

对于图中的1、2、P1、P2需要提供一定的偏置电路，可以选择如下结构。



（1）计算3

含偏置电路的折叠共源共栅结构

取3 = 60。

3

= R · L

> 5 ∗ 10 = 5 ∗ 106 ∗ 10−11 = 50

（2）确定4、5的值

1.53 > 4 = 5 > 1.23

取4 = 5 = 80。

1. 确定M4、M5、M6、M7管的参数

由条件() = 2.7, = 3.3进行计算：

�饱和� = V

�饱和� = − () = 3.3 − 2.7 = 0.3

5

SD7 2 2

=

=

= 25 = 2 ∗ 80

= 16.70

4 5 14

′ 2

106.47/2 ∗ 0.322

P 5

假设M6、M7的电流处于最差的情况：

= =

= 27 = 2 ∗ 80

= 16.70

6 7 13

′ 2 106.47/2 ∗ 0.322

7

1. 确定M8、M9、M10、M11管的参数

由条件() = 0.6, = 0进行计算：

() −

0.6 − 0

11 =

= = 0.3

2 2

=

=

=

= 28 = 2 ∗ 80

= 4.413

8 9 10

11 ′ 2

402.86/2 ∗ 0.322

1. 确定M1、M2管的参数

11

由条件 = 3 ∗ 106，L = 10进行计算：

1

= 2

2 ∗ 2

= =

L

′ ∗ 3

(2 ∗ 3 ∗ 106)2 ∗ (10 ∗ 10−12)2

402.86 ∗ 10−6 ∗ 60 ∗ 10−6

= 1.4699

S1 过于小会导致 CMRR、PSRR 过低，最后经过调试取 S1=S2=50。

1. 确定M3管的参数

由最小输入共模电压(min) = 1.1, 1 = 50进行计算：

= 23

3

′ �

() −

2

− 3 − �

J

=

′ 1

1

2 ∗ 60 ∗ 10−6

2 = 2.517

402.86 ∗ 10−6 ∗ �1.1 − 0 − J 60 − 0.695�

402.86 ∗ 50

经过调试最后取 S3=5，S3 增加可以使得 CMRR 增加。

1. 计算M4、M5在满足最大输入共模电压时是否满足第三步要求由最大输入共模电压(max) = 2.5, 1 = 50进行计算：

24 = 2 ∗ 80

= 0.694 <

=

′ ( − () + 1)2

P

取 S12=7。

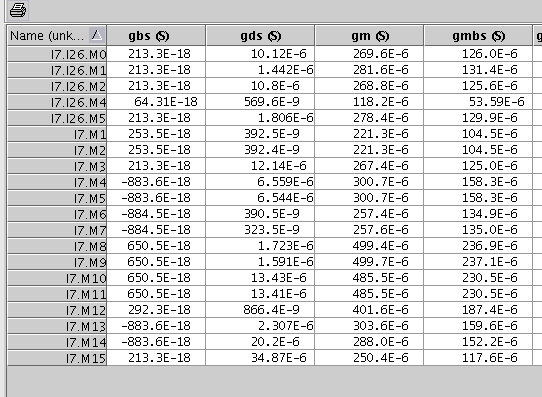
106.47 ∗ (3.3 − 2.5 + 0.672)2 4 5

80

12 = 60 3 = 6.67

1. 计算差模电压增益是否符合标准

计算参数选择在饱和区下的参数值。



参数表

于M4、M5管：

于M6、M7管：

4 = 5 = 300.7

4 = 6.559

5 = 6.544

于M8、M9、M10、M11管：

6 = 257.4

7 = 257.6

6 = 390.5

7 = 323.5

于M1、M2管：

8 = 499.4

9 = 499.7

10 = 11 = 485.5

8 = 1.723

9 = 1.591

10 = 13.43

11 = 13.41

= 2 = 221.3

1 = 2 = 392.4

499.7

R = 9911 = 1.591 ∗ 13.41 = 23.42M

257.1

R = 23.42|| 1.591 ∗ (392.4 ∗ 10−3 + 6.544) = 23.42||23.297 = 11.679M

R (2 + 4)

23.42 ∗ 106 ∗ (392.4 ∗ 10−9 + 6.559 ∗ 10−6) ∗ 323.5 ∗ 10−9

=

=

257.6 ∗ 10−6 = 0.204

7 7

2 +

= � � R

2 + 0.204

=

∗ 221.3 ∗ 10−6 ∗ 11.679 ∗ 106 = 2365.6/

2 + 2

2 + 2 ∗ 0.204

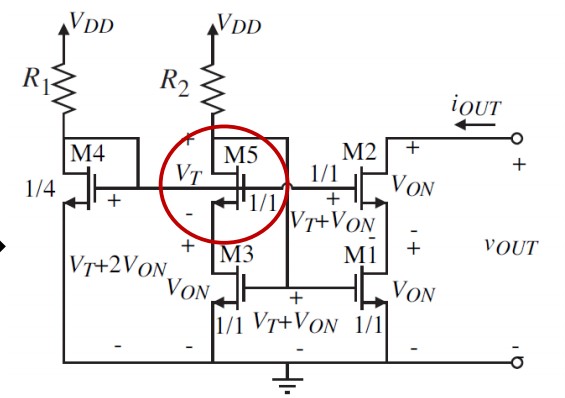
< 3000

计算值小于 3000，但实际值符合 3000 的要求。

1. 计算功耗是否符合要求

Pdiss = 3.3V ∗ �80μA + 80μA + 80μA� = 0.792mW < 5mW

# 三. 电流漏的设计及仿真



电流漏结构

在此电路中，M可以被减小到最低值，通过将M4 的取值变为其他管子的 1/4，而达到此目的，取M2 漏端电流为输出电流。

在该电路中 M1 和 M2 都工作在饱和区，可以得到

VON

2ID

= J W

Kn � L �

取 S1,2,3,5=24,与放大器中的管子进行匹配，且 S4=6。解得：

V = 2ID = J 2 ∗ 60μA

= 0.244V

ON J

W

Kn � L �

402.86/2 ∗ 5

由公式可得：

R = Vdd − VT − 2VON = 3.3 − 0.695 − 2 ∗ 0.244 = 35.28kΩ

ref1 ID

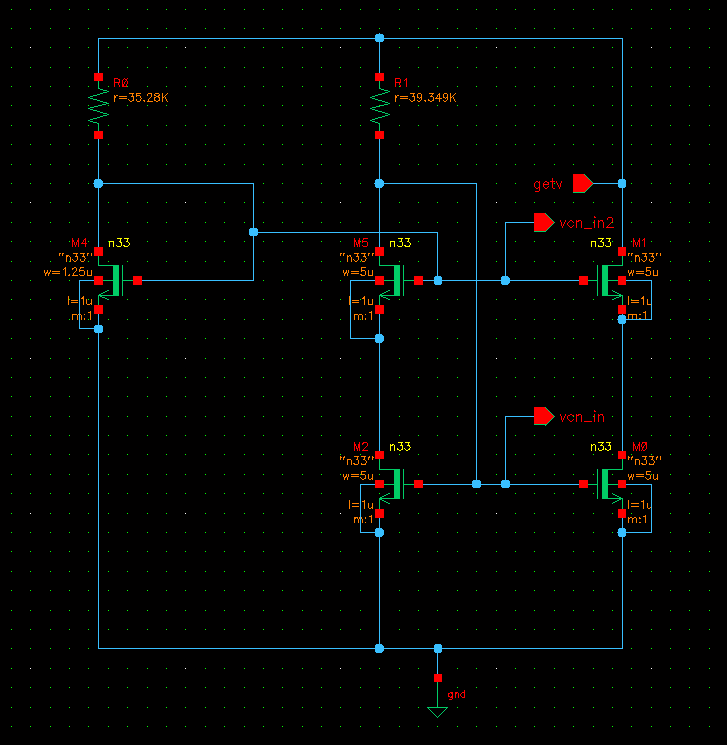
60 ∗ 10−6

R = Vdd − (VT + VON) = 3.3 − 0.695 − 0.244 = 39.349kΩ

ref2 ID

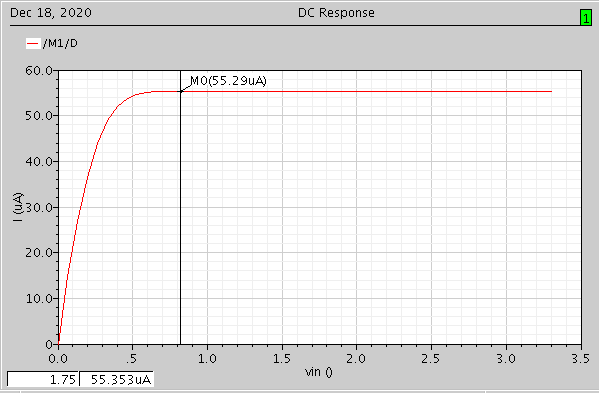
60 ∗ 10−6

根据以上参数绘制成电路图：

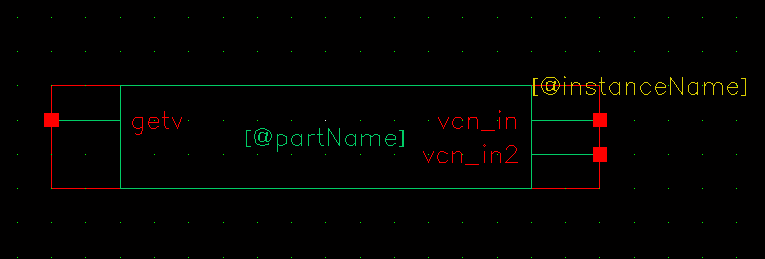


电流漏结构

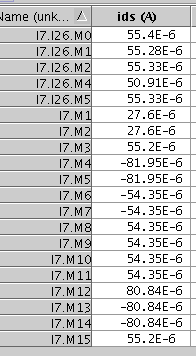
将 getv 范围设置成为 0-3.3V 时，绘制 ids-vin 曲线。



Ids-Vin 曲线

Vmin 约为 0.52V，电流漏可以稳定提供约为 55.29μA 的偏置电流基本符合设计要求。对电流漏进行封装：

封装后的电流漏



各管电流参数

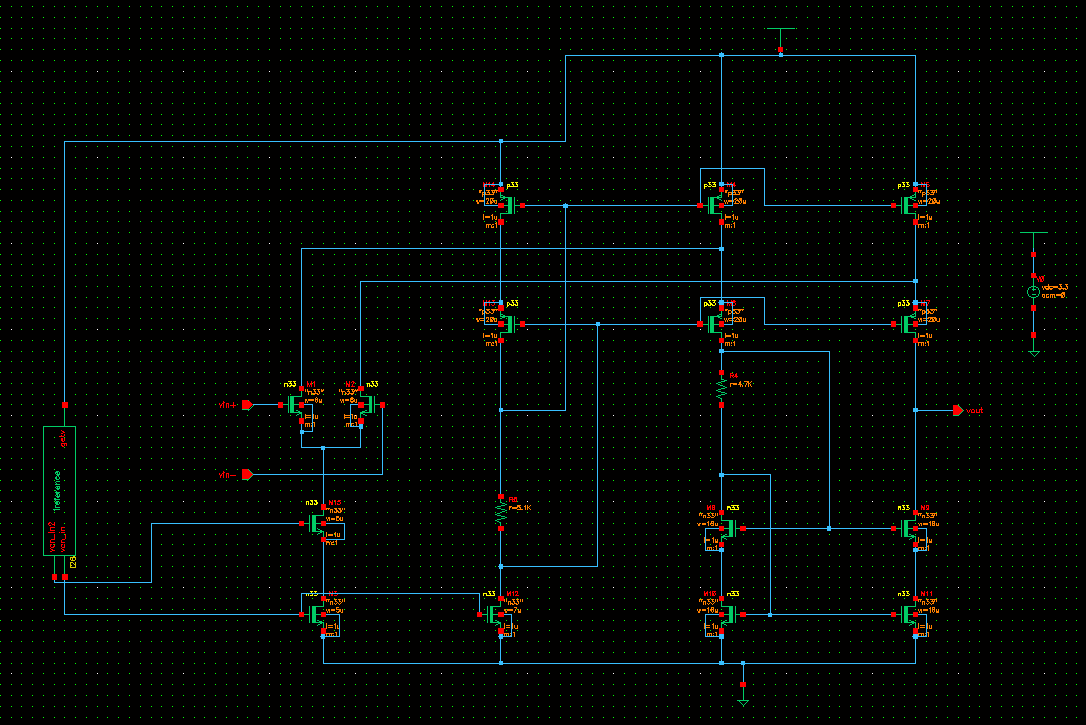
在搭建完电路后，使用 DC operating points 查看 M1 管子的电流，ids=55.2uA，和计算结果基本符合，可以达到工作要求。

|  |  |  |
| --- | --- | --- |
|  | W(um) | L(um) |
| M1 | 6 | 1 |
| M2 | 6 | 1 |
| M3 | 5 | 1 |
| M4 | 20 | 1 |
| M5 | 20 | 1 |
| M6 | 20 | 1 |
| M7 | 20 | 1 |
| M8 | 16 | 1 |
| M9 | 16 | 1 |
| M10 | 16 | 1 |
| M11 | 16 | 1 |
| M12 | 7 | 1 |
| M13 | 20 | 1 |
| M14 | 20 | 1 |
| M15 | 5 | 1 |

参数表

# 四. 整体电路实际仿真以及性能测试

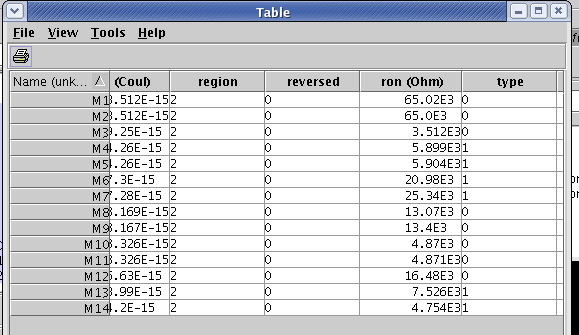
## 放大器电路搭建



整体电路图

在原理图中进行初步仿真，发现所有 MOS 管均工作在饱和区，电路设计基本正确。 接下来对放大器进行封装，进行各个性能的测试。

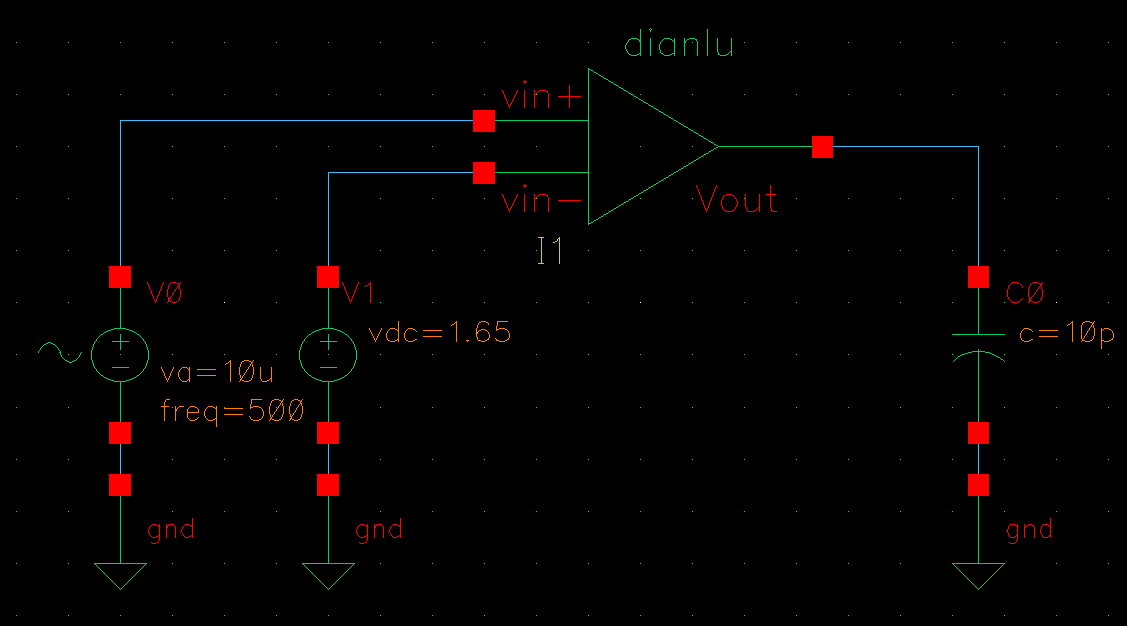
在共模电压取 1.65V 时，经过仿真，所有管子均工作在饱和状态。



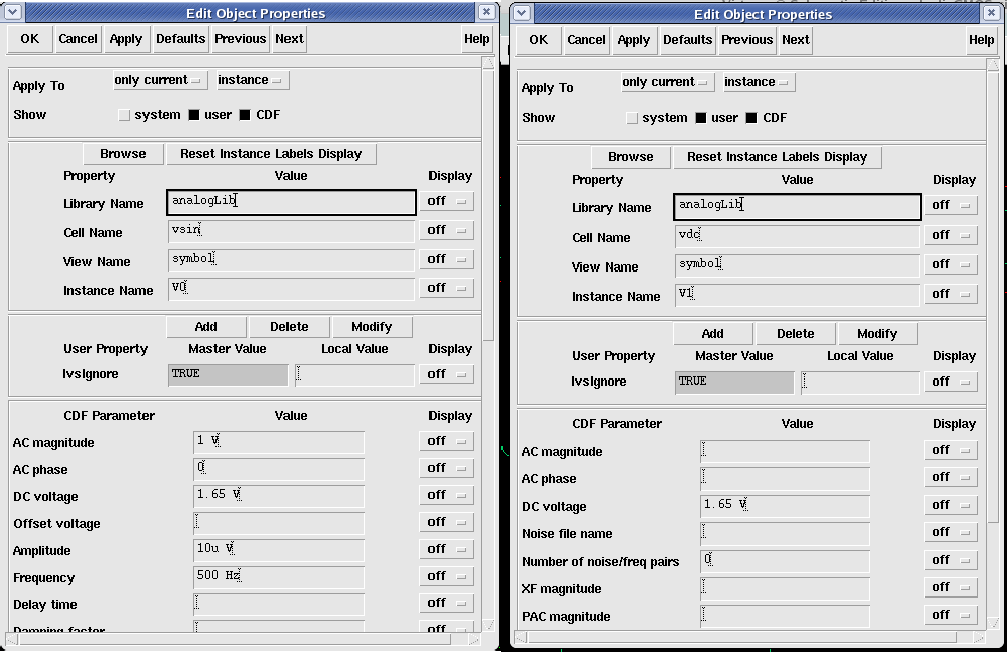
管子们工作状态分析

## 开环电压增益测试

将折叠共源共栅放大器进行封装。



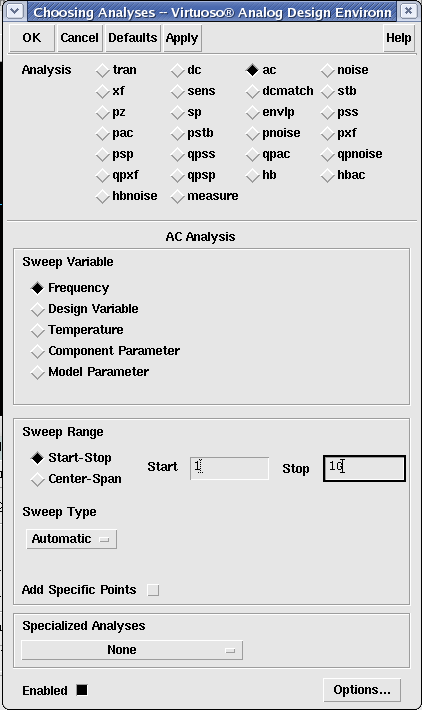
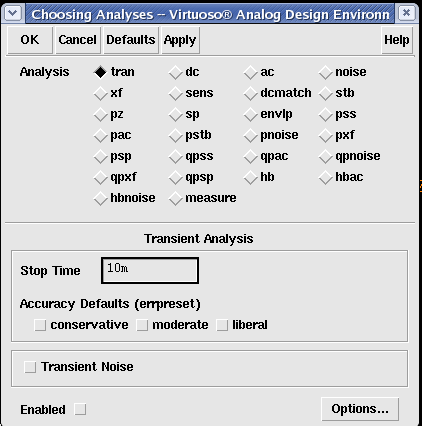
开环增益测试电路



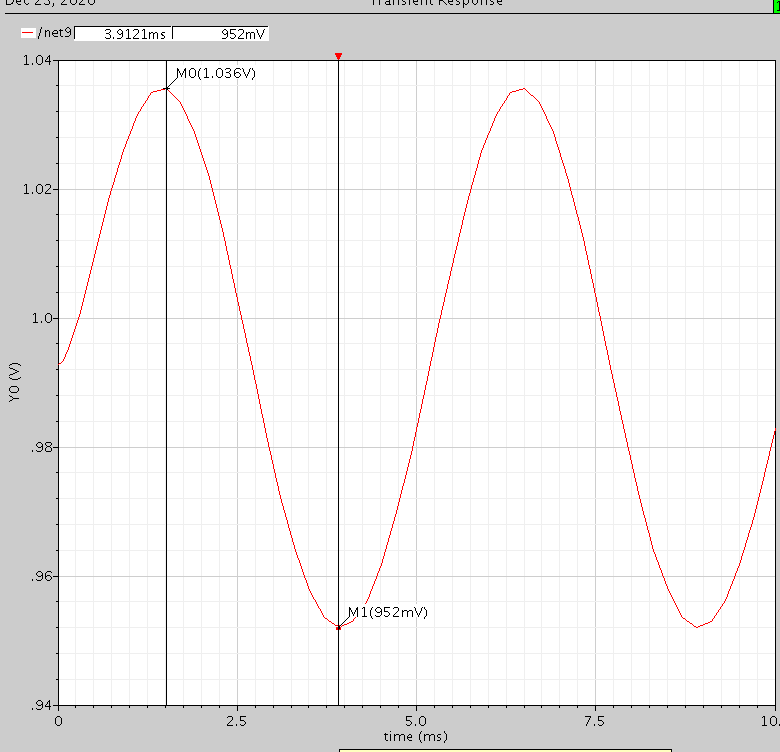
第一级差分电路输入

va 差分输入变量设置为 10μA。

瞬态响应截止时间为 10ms，AC 响应从 1Hz 至 1GHz 频段进行扫频。



瞬态响应和 AC 响应的设置



输出端口瞬态响应曲线

输出端口峰峰值约为 1.036V –0.952V = 0.084V

则可以得到放大倍数约为

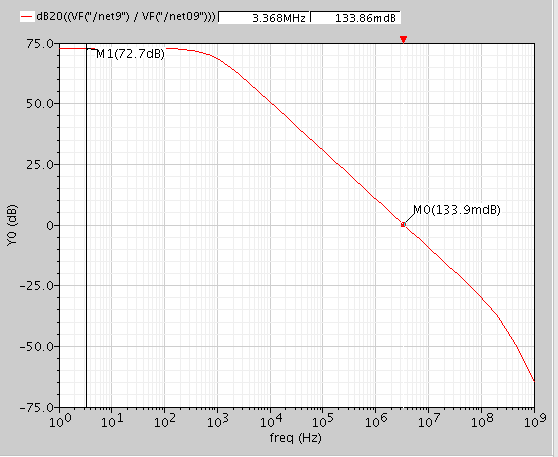
0

= 0.084 20∗10−6

= 4200>3000

20lgAv0 = 72.46dB

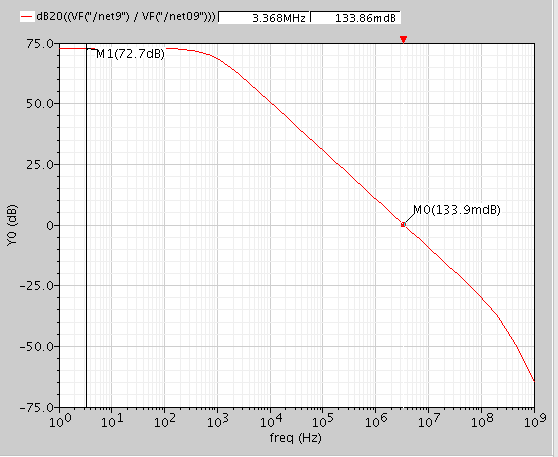
通过计算器可以计算增益，增益在 72.7dB，满足设计要求



增益曲线

## 增益带宽积测试（GB）

增益带宽积即为 0dB 处的频率值。

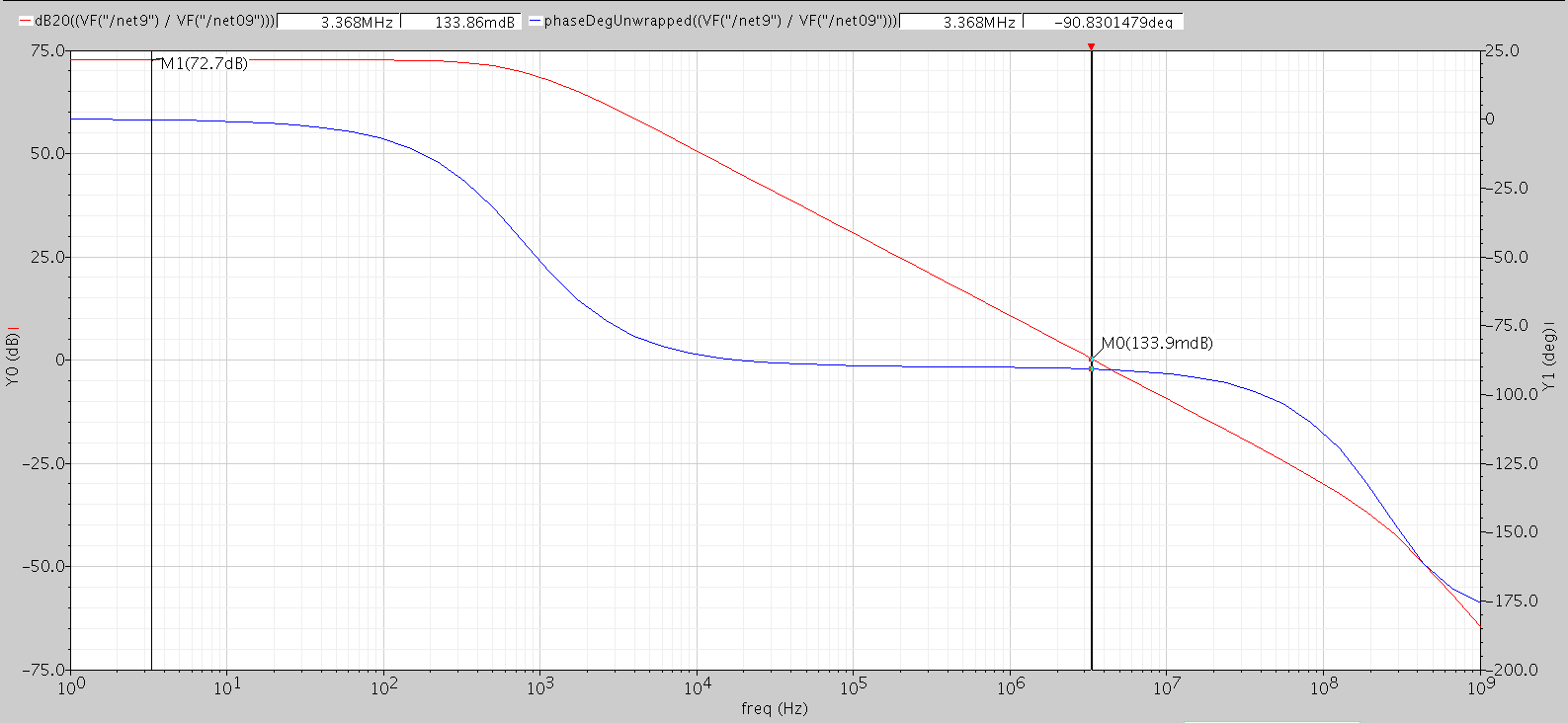


增益曲线

在 133.9mdB 时候，频率为 3.368MHz>3MHz。满足设计要求。

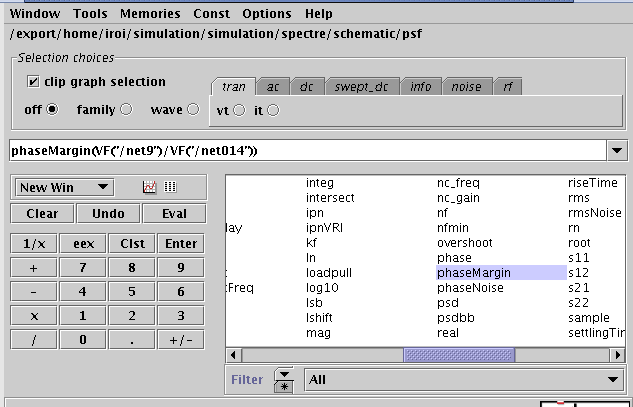
1. 相位裕量测试

在一张图中显示相位图和增益图。

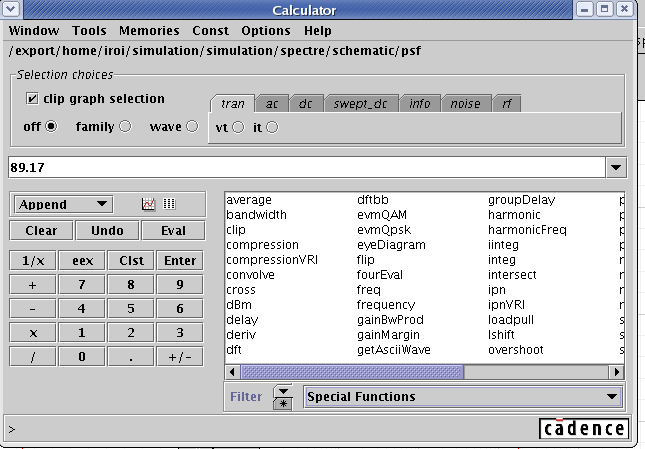


增益图和相位图

在图片上方可以看到 133.86mdB 时，相位为-90.83deg，所以相位裕量为 180deg- 90.83deg=89.17deg>60deg,满足设计要求。



计算器计算相位裕度



相位裕度的值

经过计算器精确计算，相位裕度值为 89.17deg，符合要求。

## 共模抑制比（CMRR）测试（闭环和开环测试方法）

### 说明：闭环测试方式在测量原理上可能存在问题，开环测试方案是严格按照定义计算的。

1. 闭环测试方案

将两个相同的电压源 Vcm，与竭诚单位增益结构的运算放大器的两输入端相接。

Vout = ±

V

Ac

Ac =

|Ac|

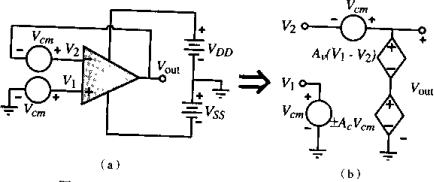
A

1

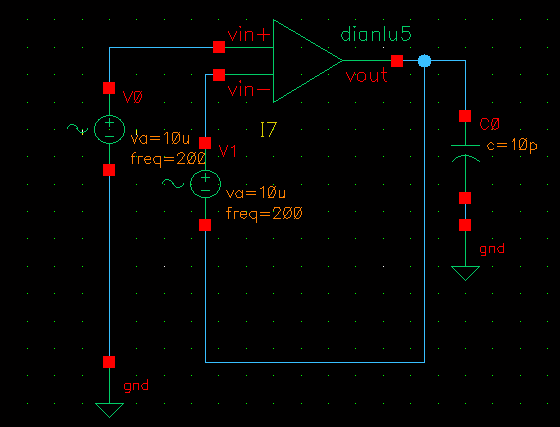
=

CMRR

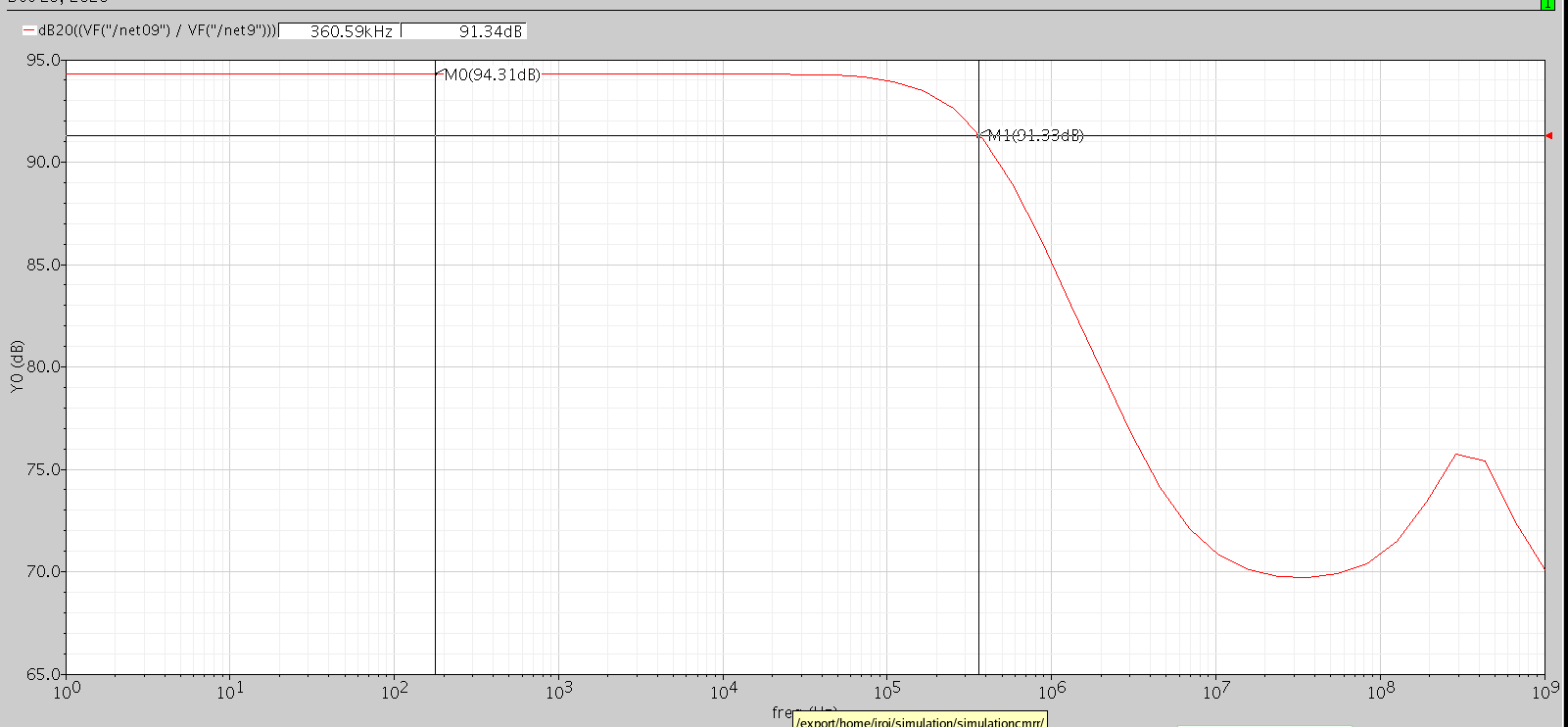
cm 1 + Av − �± 2 � v



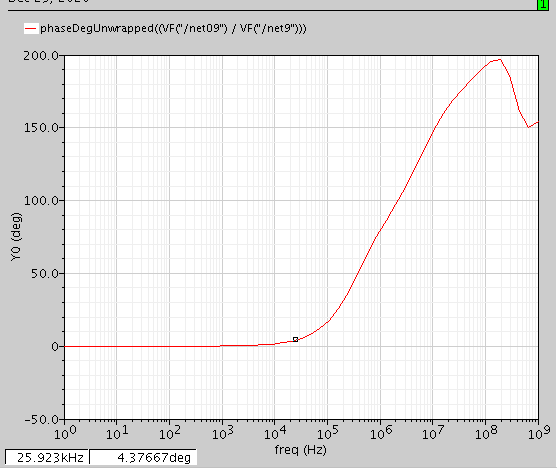
共模抑制比的直接仿真结构



CMRR 仿真电路



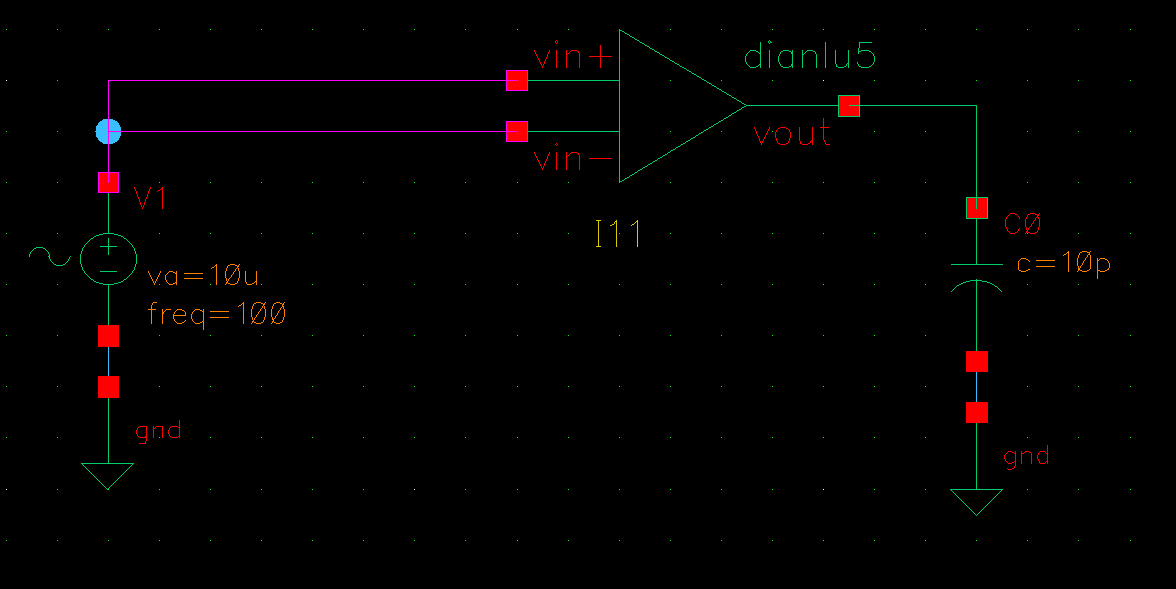
CMRR 幅频响应



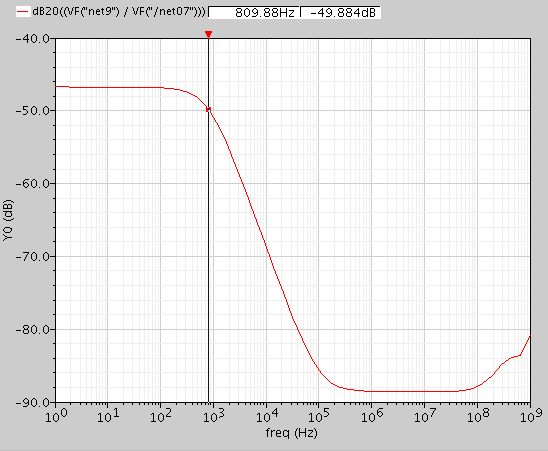
CMRR 相频响应

低频时，CMRR 保持在 94.31dB,符合一般电路需求。但是该电路图会导致 vout 处电压被强行拉到 1.65V，存在测量问题。

1. 开环测试方案



开环测试方案



开环下共模抑制

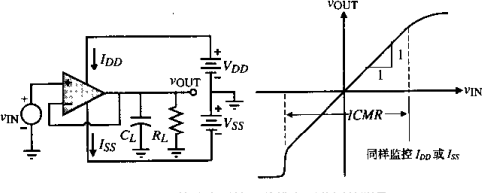
在低频时，抑制比在-46.7dB。

CMRR = ADM = 72.7 + 46.7 = 119.4dB ADM−CM

在低频的时候，共模抑制比为 119.4dB。

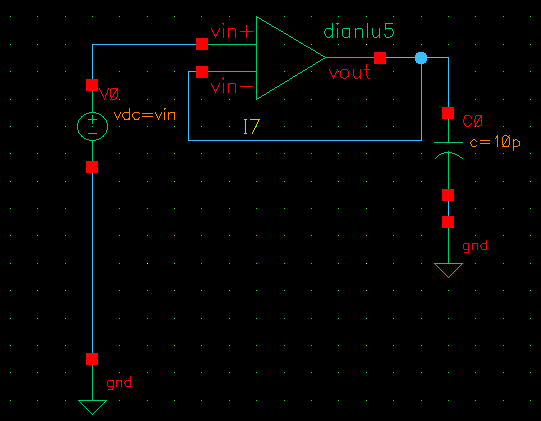
## 共模输入范围（ICMR）测试和 vout range

在开环或者闭环的情况下都可以测量共模电压输入范围，在 vin 的扫描过程中测量输出电压的范围。

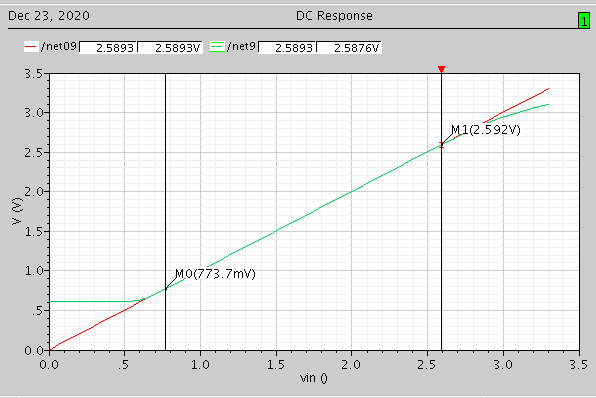


共模电压输入范围测量电路

对输入直流电压从 0-3.3V 进行扫描，分析输入输出端口曲线。



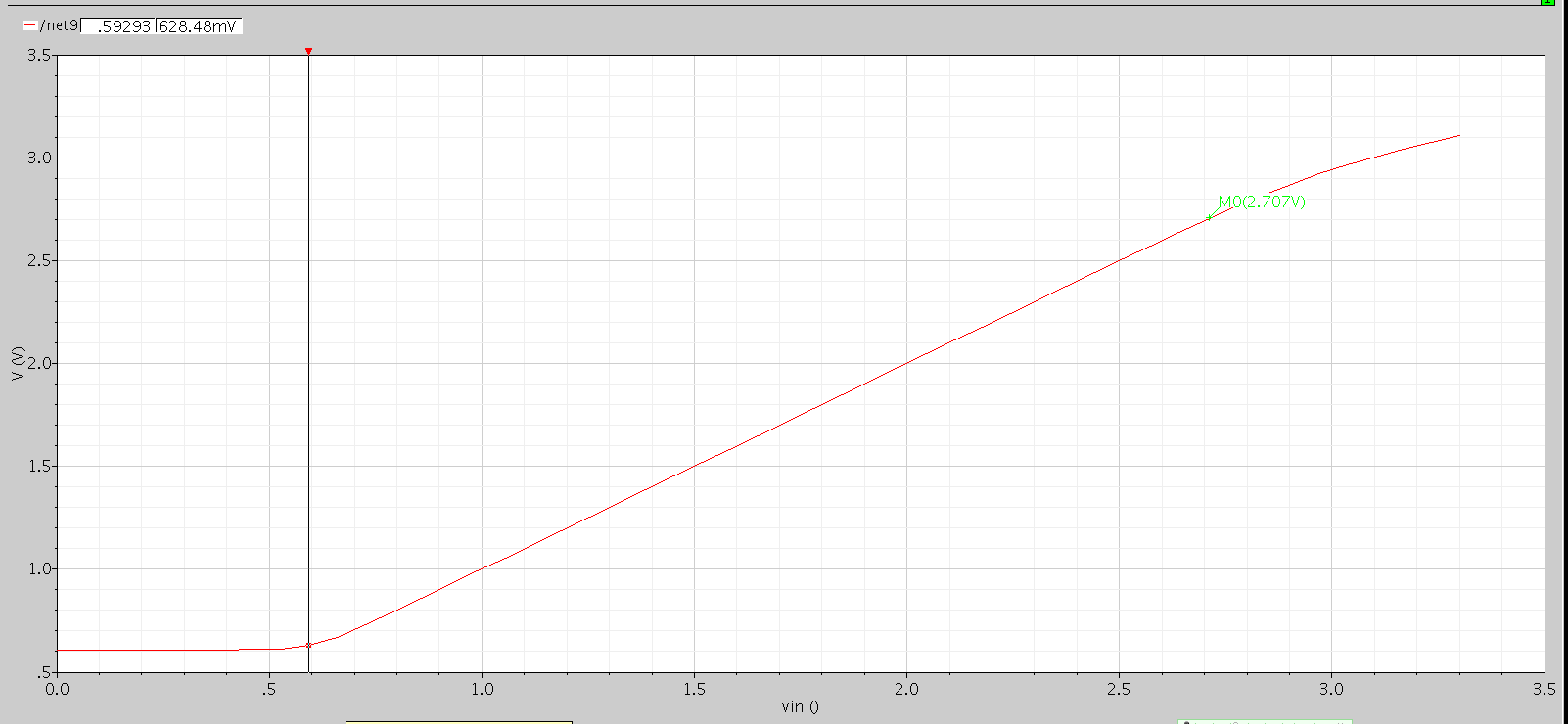
ICMR 分析图



输入输出端口曲线图

绿色为输出电压曲线，红色为输入电压曲线。可以是谁得到输入输出电压曲线在

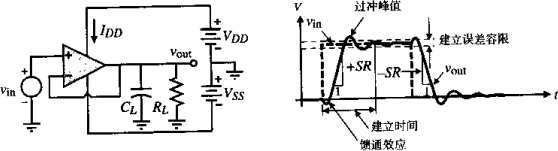
773.7mV-2.592V 之间基本保持重合，所以满足设计指标共模输入范围在 1.1V-2.5V 之间。



Voutrange Vout range 在 0.59-2.7V 之间基本符合设计要求。

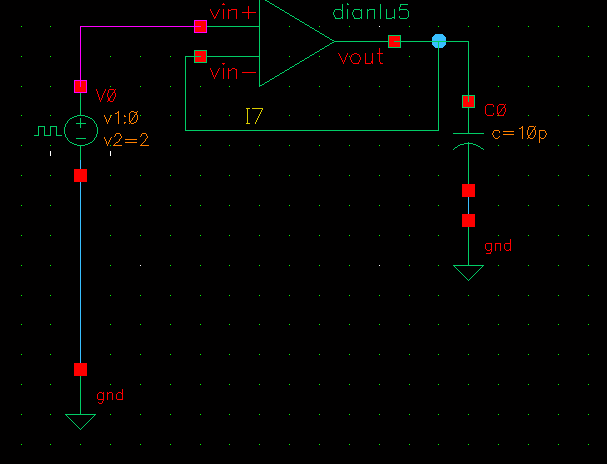
## 压摆率（SR）测试

放大器对于方波的响应需要一定时间，上升时间的斜率就是压摆率。

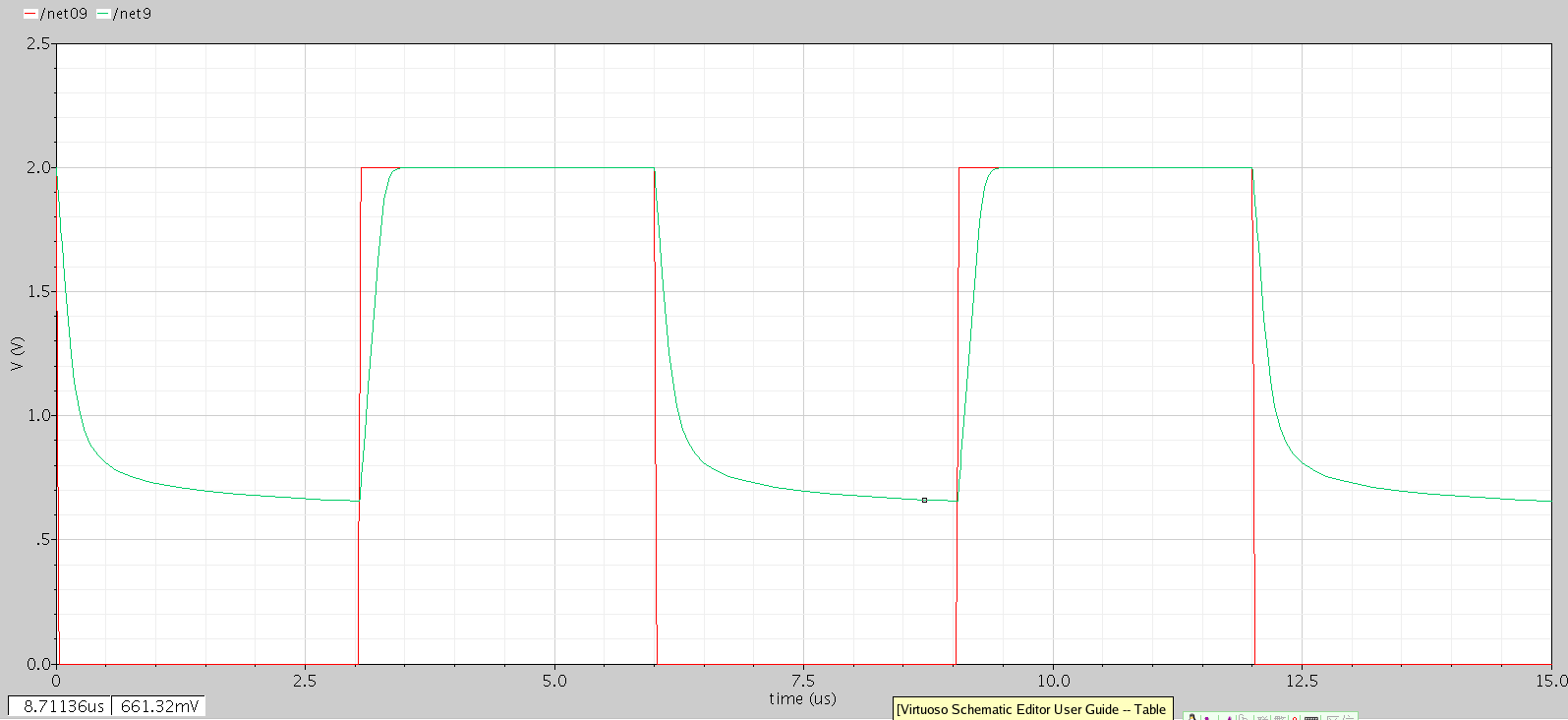


压摆率测试电路

下图是压摆率的测试电路，在 vin+端口接入峰峰值为 2、周期为 6μs、占空比为 50%的方波，vin-端口直接与 vout 端口相连。



压摆率测试电路



方波响应

在上升沿和下降沿各取两点进行计算： 上升沿：

SR+=

1.4963 − 0.89024

3.20458 − 3.09106

= 5.3388V/μs

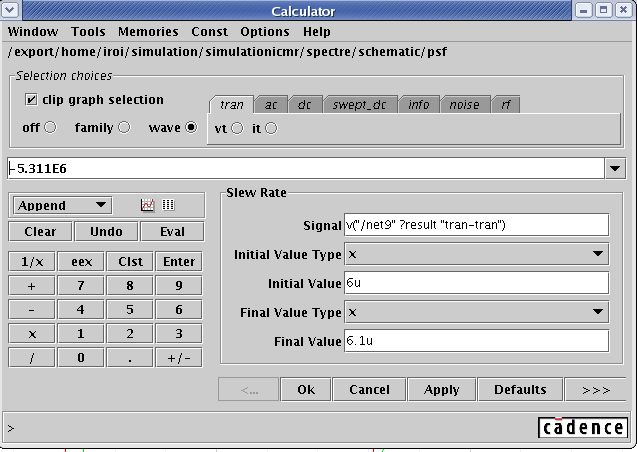
下降沿：

SR−=

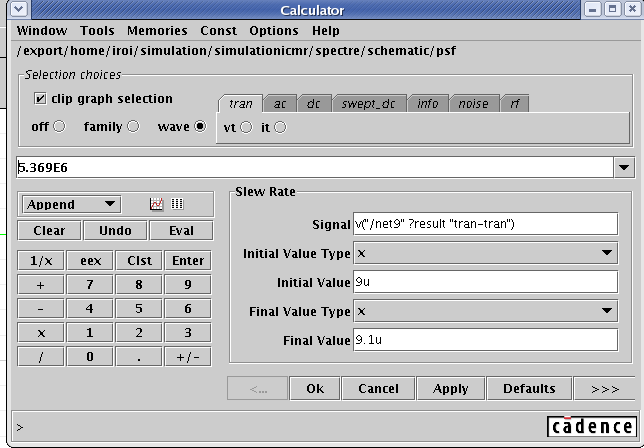
1.8007 − 1.348

6.03961 − 6.1289

= −5.0699V/μs



计算器计算上升时的压摆率

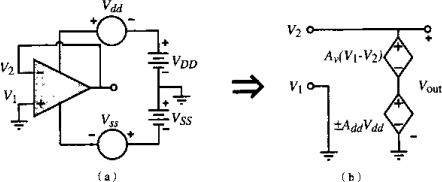


计算器计算下降时的压摆率

综上，放大器压摆率>5V/μs。

## 电源纹波抑制比（PSRR）测试

由于此电路是单电源供电，所以只需测量 PSRR+。

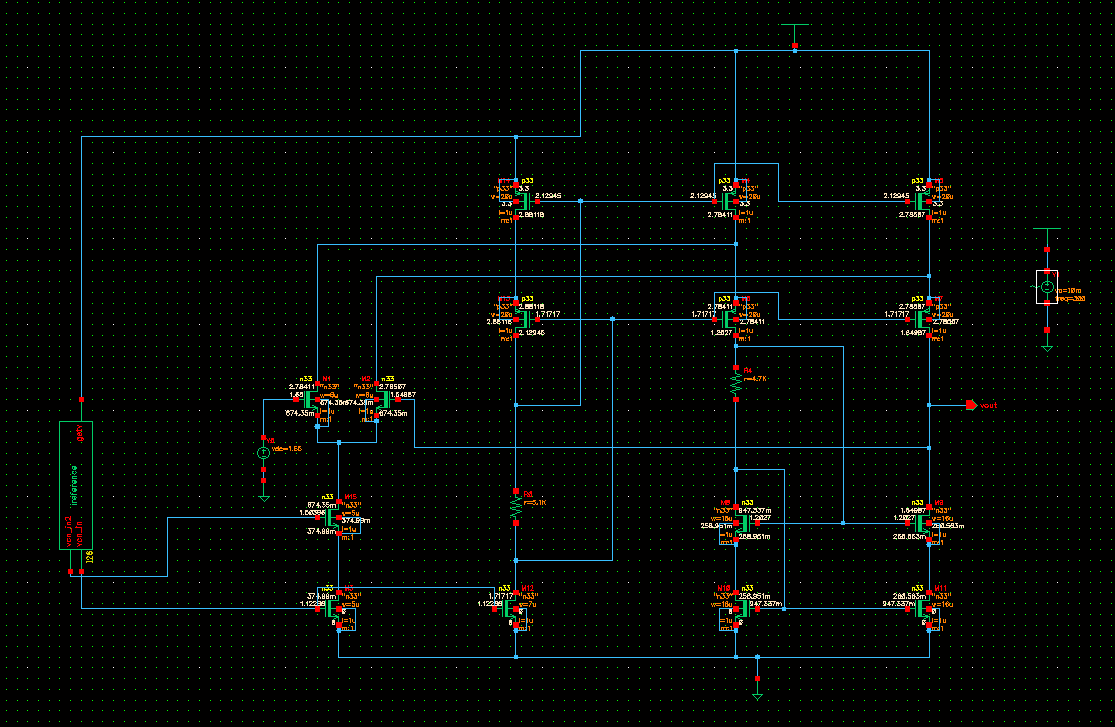


电源纹波抑制比测试电路

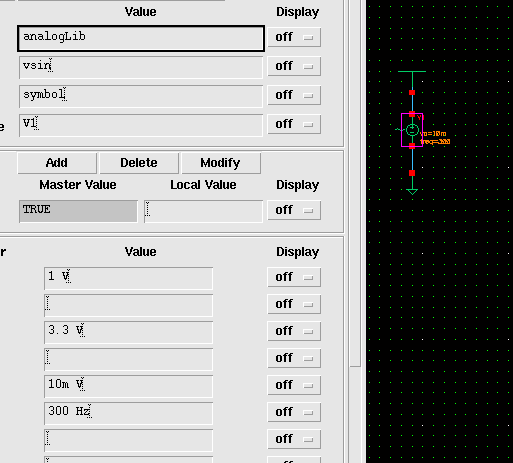
PSRR+ ≈ Vdd

Vout

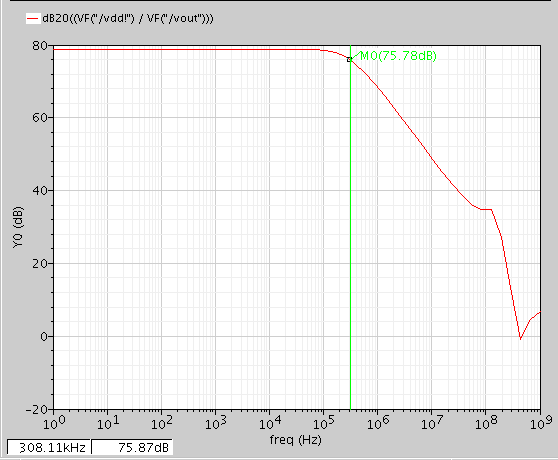
将 vdc 的 AC magnitude 设置成为 10mV，代表电源的纹波。测试电路如图所示：



PSRR 测试电路图



电压源设置



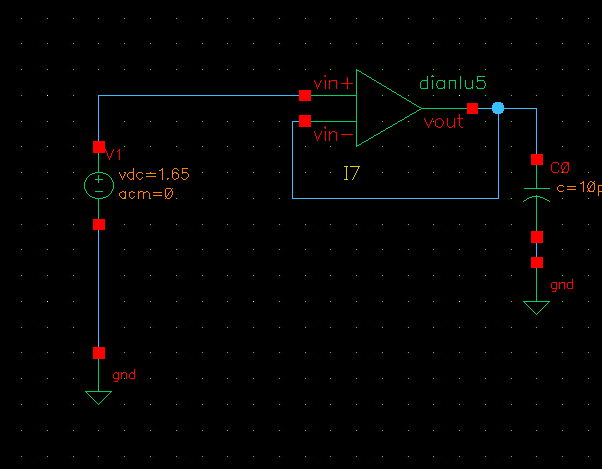
PSRR 结果图

PSRR+在低频时为 78.87dB，-3dB 点约在 308.11KHz 左右。

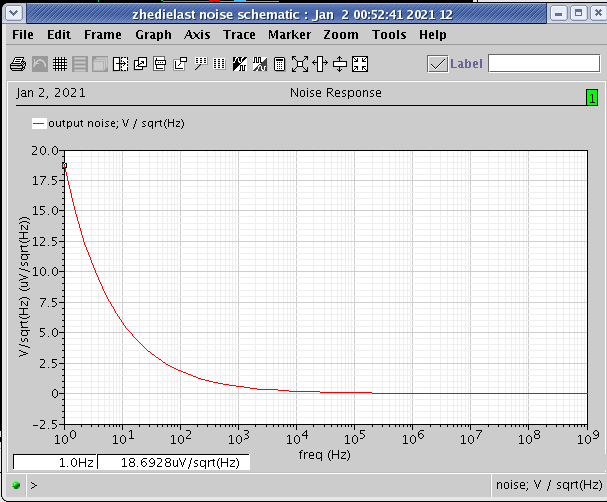
## 噪声测试

### 使用 noise 分析。在 print-direct plot-main form 中选择合适的分析方法。

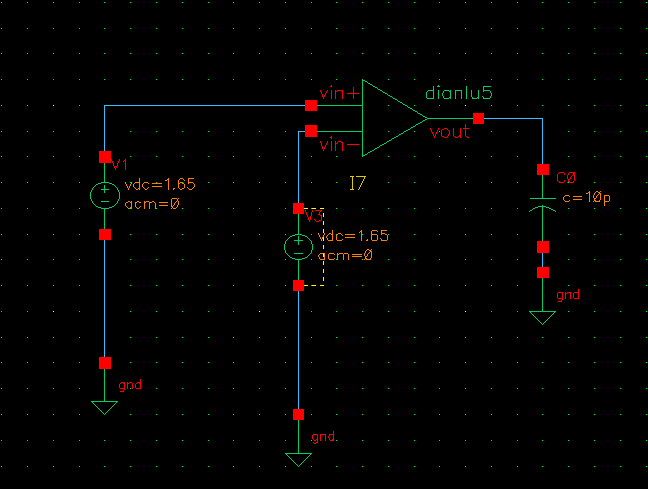
1）闭环噪声



闭环噪声测试图

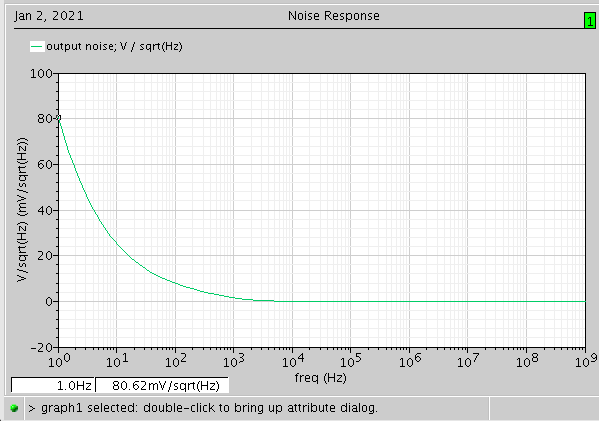


噪声结果图

在闭环的时候，1Hz 时，噪声为 18.6928uV/sqrt(Hz)。当频率增加时，噪声减小。2）开环噪声

仿真电路图

往一个信号源中添加噪声。



开环噪声结果图

开环噪声大于闭环噪声，1Hz 时噪声为 80.62mV/sqrt(Hz)。

# 五. 实验总结

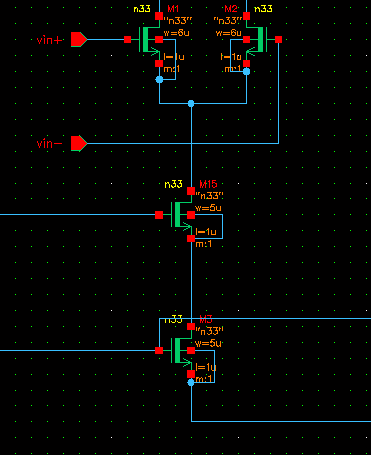
## 出现仿真错误

在仿真的过程中出现 fatal error，显示 vdd 与 gnd 直接相连，但发现实际电路没有相连，经查找原因发现在封装的时候，封装电路内部运用了一个电压源，两者不统一。在一张电路图中最好只出现一个供电电路，否则随机可能会出现仿真错误。

## CMRR 共模抑制比

对于书上的结构，共模抑制比偏低。最后选择了通过增加尾电流源输出电阻和差分级的跨导。

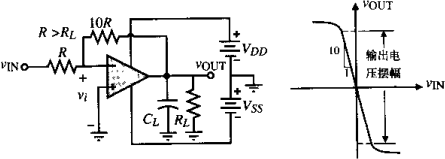
共源共栅结构输出电阻大，将单管电流源换成共源共栅结构。CMRR 提高至 90dB。



改善后的结构

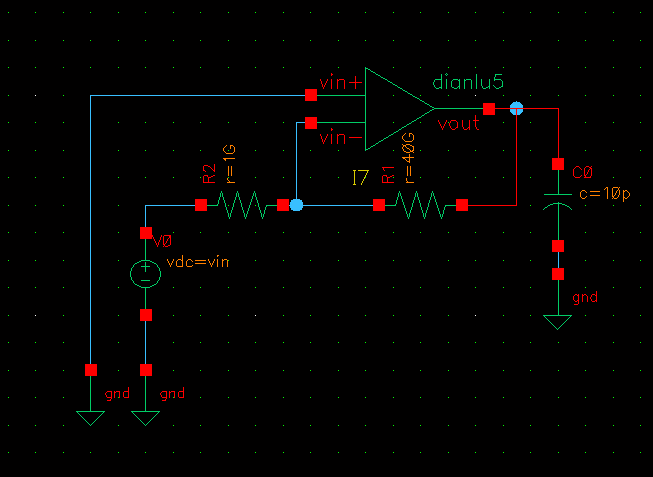
## 输出电压摆幅测量

流过 RL 的电流对输出电压摆幅有很大的影响，应该对电流进行选择以反映实际情况。

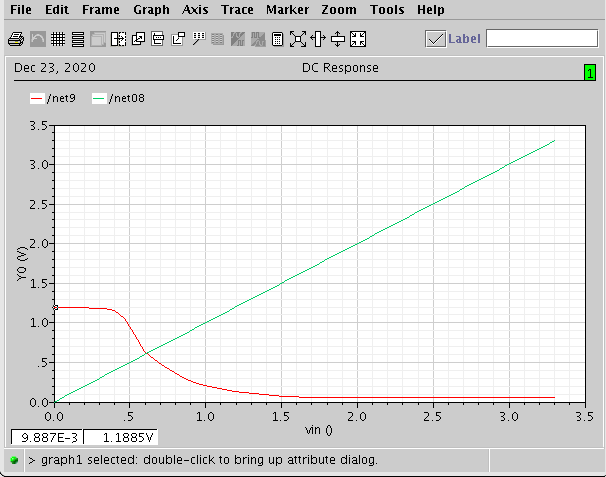


动态范围测量电路

本电路中未提供负载电阻，则可以认为断路，负载电阻无穷大，在测试时输出动态范围较低。



动态范围测量电路



动态范围曲线

可以看到输出范围在 56.205mV-1.18 V 之间。输出电压摆幅可能与电路并没有负载电阻有关。